### PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-314028

(43) Date of publication of application: 25.10.2002

(51)Int.Cl.

H01L 25/00 H01L 21/56 H01L 21/822 H01L 23/12 H01L 27/04 H01P 11/00 H01Q 1/38 H01Q 13/08

(21)Application number : 2001-118242

(71)Applicant : IEP TECHNOLOGIES:KK

(22)Date of filing:

17.04.2001

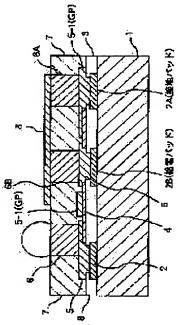
(72)Inventor: AOKI YOSHITAKA

(54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR, AND MOUNTING STRUCTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which passive elements, such as an antenna element, capacitive elements, etc., can be loaded in a chip, and to provide a method of manufacturing the device.

SOLUTION: An inverted F-type antenna is formed by providing a ground plane GP composed of a conductor layer 5-1 connected to a grounding pad 2A, a post 6A formed in a state where the post 6A is connected to the plane GP, another post 6B formed in a state where the post 6B is connected to a feeding pad 2B, and an upper conductor layer 8 which is formed on a sealing film 7 and arranged at a position where the layer 8 faces the conductor layer 5-1 in a state-where the layer 8 is connected to the posts 6A and 6B. Consequently, the antenna can be loaded in the chip. In addition, the capacitive elements Cp and Cp' can be constituted of upper conductor layers 12 connected to a conductor-plate wiring board and conductor layers 5-2 facing each other via the sealing film 7 or a dielectric film 13. Therefore, the capacitive elements CP and CP' can be loaded in the chip.



#### **LEGAL STATUS**

[Date of request for examination]

08.07.2004

Date of sending the examiner's decision of

rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3939504

[Date of registration]

06.04.2007

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

2007/09/13

€ 耧 ধ 盐 华 噩 ধ 8

(19)日本国特許庁 (JP)

特開2002-314028 (11)特許出國公開番号

(P2002-314028A)

平成14年10月25日(2002,10,25) (43)公開日

(51) Int.Cl.	中心社会		Ħ.				\$-41-1. (\$5\$)
H01L 25/00			1.	22/00		, m	5F038
21/56				21/56		H	5F061
21/822				23/12		501P	501P 5J045
21/22	501		H 0 1 P	11/00		Z	5 J 0 4 6
W/12			H01Q	1/38			
		<b>松</b> 村超外	未謝求 耐水項の数17 OL (全12 頁)	R項の数17	70	(全12頁)	最終質に扱く
(21)米田東日	<b>(本間)00(1 — 1189.49/ D2001 — 1169.49)</b>	118949)	(A) (A)	CONCERNO ( MINITAL (16)	;		

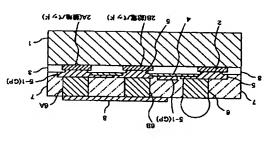
最終其に統へ			
弁理士 厳偽 英賞			
100096639	内 (74)代理人 100096599		
式会社アイ・イー・ピー・テクノロジーズ			
東京都八王子市東後川町550番地の1 株			
有木 田隆	(72) 発明者		
東京都八王子市東達川町550番地の1			
ĸ		平成13年4月17日(2001.4.17)	(22) 出版日
棒式会社アイ・イー・ピー・テクノロジー			
500224531	(71) 出國人 500224531	<b>特夏</b> 2001 — 118242(P2001 — 118242)	(21)出版番号

# 半導体装置並びにその製造方法および実装構造 (54) [発明の名称]

### (57) [要約]

プ内部に搭載し得る半導体装置およびその製造方法を実 【課題】 アンテナ素子や容量素子等の受動素子をチッ

に接続されて形成されるポスト6Bと、封止膜7上に形 Pに接続して形成されるポスト6Aと、給電パッド2B 型アンテナを形成したので、チップ内部にアンテナを搭 載することが可能になっている。また、導体板配線基板 1 からなるグランドブレーンG P とグランドブレーンG 成され、ポスト6A、6Bに接続されて導体圏5~1 に 対向する位置に配置される上部導体圏8とを設けて逆F 13を介して対向する導体圈5-2とにより容配素子C [解決手段] 接地パッド2Aに接続される導体層5-に接続される上部導体圏12と封止膜7または誘電体圏 P、Cp'を構成することができ、チップ内部に容<u>位</u>案 子を搭載することが可能になっている。



特許請求の適田

一つの第1の導体層が接続されて形成される、前記複数 られ、柱状電極が接続されて形成される前記複数の接続 パッドの内の、複数の第1の接続パッドと、少なくとも |請求項1| 半導体基板上に複数の接続パッドが設け の接続パッドの内の、少なヘとも一つの第2の接続パッ 前記半導体基板上の、前記複数の柱状電極間および前記 第1の導体超上に形成される封止膜と、 前記封止膜上に形成され、前記第1の導体圏に対向する よう配置される少なくとも一つの第2の導体層と、を有

2

前記第1の導体層と前記第2の導体層によって形成され る受動素子を備えることを特徴とする半導体装置。 【請求項2】 前記第2の接続パッドに接続される前記 第1の導体層上に形成されて前記第2の導体層に接続さ 少なくとも一つの第3の接続パッドに接続されて前記第 れる第1の柱状電極と、前記複数の接続パッドの内の、 2の導体層に接続される第2の柱状電極を備え、

前記第2の接続パッドは接地パッドであり、前記第3の 接続パッドは給電パッドであり、前記第1の導体層と前 記第2の導体層によって形成される前記受動素子はアン テナ素子であることを特徴とする請求項1に記載の半導

2

第2の導体層上には配線基板に接続される接続手段を備 よって形成される前記受動業子は容量素子であり、前記 【静求項3】 前記第1の導体層と前記第2の導体層に えることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1の導体層と前記第2の導体層に インダクタ政分を誘起するようパターニングしてなる誘 よって形成される前記容乱業子を複数備えるとともに、 少なくとも二つの前記容鼠案子間に接続して介装され、

造方法。

39

5フィルタ回路を備えることを特徴とする請求項3に記 前記複数の容量素子と前記誘導案子とによって形成され 尊素子を備える第3の導体層を備え、 版の半導体装置

[請求項6] 半導体基板上に複数の接続パッドが設け |請求項5| 前記第1の導体層と前記第2の導体層と の間に誘電体材料を介装することを特徴とする請求項1 5至請求項4記載の半導体装置。

前記複数の接続パッドの内の、複数の第1の接続パッド に複数の柱状電極を接続して形成する工程と、 前記複 数の接続パッドの内の、少なくとも一つの第2の接続パ られた半導体装置の製造方法において、

ッドに少なくとも一つの第1の導体配を接続して形成す 前記半導体猛板上の、前記複数の柱状電極間および前記

前記封止模上に、前記第1の導体層に対向するよう配置 される少なくとも一つの第2の導体層を形成する工程 第1の導体層上に封止膜を形成する工程と、

20

**体照2002-314028** 

3

前記第1の導体層と前記第2の導体層によって受動素子 を形成することを特徴とする半導体装置の製造方法。

の柱状電極を形成する工程と、前記複数の接続パッドの |請求項7| 前記第2の接続パッドに接続される前記 前記第2の導体層に接続される第2の柱状電極を形成す 内の、少なくとも一つの第3の接続パッドに接続されて 第1の導体層上に、前記第2の導体層に接続される第1 る工程と、を備え、

前記第2の接続パッドは接地パッドにより形成され、前 記第3の接続パッドは給電パッドにより形成され、前記 第1の導体層と前記第2の導体層によってアンテナ業子 が形成されることを特徴とする請求項6に記載の半導体 装置の製造方法。 前記第1の導体層と前記第2の導体層に よって容量素子を形成する工程と、前配第2の導体層上 こ配線基板に接続する接続構造を形成する工程と、を備 えることを特徴とする請求項6に記載の半導体装置の製 [請求項8]

よって前記容量素子を複数形成する工程と、少なくとも 二つの前記容量素子間に接続して介装され、インダクタ 成分を誘起するようパターニングして誘導素子を形成す 【請求項9】 前記第1の導体層と前記第2の導体層に **る第3の導体層を形成する工程と、を備え、** 

回路を形成することを特徴とする、請求項8に記載の半 前記複数の容量素子と前記誘導素子とによってフィルタ 導体装置。

|請求項10| 前記第1の導体履と前記第2の導体層 との間に誘電体材料を介装する工程を備えることを特徴 とする、請求項6乃至請求項9に記載の半導体装置の製

前記複数の接続パッドの内の、複数の第1の接続パッド に複数の柱状電極を接続して形成する工程と、前記複数 ドに少なくとも一つの第1の導体圏を接続して前記絶縁 模上に形成する工程と、前記絶縁膜上の、前記複数の柱 状電極間および前記第1の導体層上に封止膜を形成する 【請求項11】 複数の接続パッドを有するチップ形成 の接続パッドの内の、少なくとも――この第2の接続パッ 領域を複数備える半導体ウェハ基板を準備する工程と、 前記各チップ形成領域上に絶縁膜を形成する工程と、

て複数の半導体装配を形成する工程と、を具備すること 前記半導体ウェハ基板を前記チップ形成領域毎に分断し を特徴とする半導体装配の製造方法。 る工程と、

工程と、前記封止膜上に、前記第1の導体圏に対向する

9

よう配置される少なくとも一つの第2の導体層を形成す

[諸求項12] 前記第1の導体圏上に、前記第2の導 本層に接続される第1の柱状電極を形成する工程と、

前記複数の接続パッドの内の、少なくとも一つの第3の 接続パッドに接続されて前記第2の導体層に接続される

備えることを特徴とする、請求項11に配載の半導体装 |請求項13| 前記第1の導体圏と前記第2の導体圏 によって容量素子を形成する工程と、該第2の導体層上 に、配線基板に接続する接続構造を形成する工程と、

[請求項14] 前記第1の導体層と前記第2の導体層 回路を形成することを特徴とする、請求項13に記載の によって前記容量素子を複数形成する工程と、少なくと タ成分を誘起するようパターニングして誘導素子を形成 前記複数の容量素子と前記誘導素子とによってフィルタ も二つの前記容量素子間に接続して介装され、インダク する第3の導体層を形成する工程と、を備え、

【請求項15】 前記第1の導体層と前記第2の導体層 との間に誘電体材料を介装する工程を備えることを特徴

20

**単体層上に形成される封止膜と、該封止膜上に形成され** とする、請求項11乃至請求項14に記載の半導体装置 けられ、柱状電極が接続されて形成される前記複数の接 【請求項16】 半導体基板上に複数の接続パッドが設 税パッドの内の、複数の第1の接続パッドと、少なくと ドの内の、少なくとも一つの第2の接続パッドと、前記 半導体基板上の前記複数の柱状電極間および前記第1の も一つの第1の導体層に接続される前記複数の接続パッ 前記第1の導体層に対向するよう配置される第2の導体 嵒とを有して、前記第1の導体層と前記第2の導体圏に よって形成されるアンテナ素子を備える半導体装置と、 複数の配線パターンが形成された配線基板と、を備え、 の製造方法。

前記配線基板における、前記半導体装置の前記第2の導 電層との対向領域には、配線パターンが形成されていな て実装される半導体装置の実装構造において、 いことを特徴とする半導体装置の実装構造。

[請求項17] 前記配線基板における、前記半導体装 **配の前記第2の導電局との前記対向領域は関ロ部とされ** ていることを特徴とする請求項16に記載の半導体装置

[発明の詳細な説明]

[000]

[発明の属する技術分野] 本発明は、CSP (Chip Siz e Package) 構造の半導体装置およびその製造方法およ びその半導体装置の実装構造に関する。

従来の技術】近年、チップとパッケージのサイズがほ その構造例を図15に示す。この図に示す半導体装置2 0は、保護膜形成、導体層形成、ポスト形成および樹脂 封止の各工程からなるパッケージ処理を終えたウェハを 国々のチップにダイシングして得られる、所謂ウェハレ ば等しくなるCSP構造の半導体装置が知られており、 ベルCSPと呼ばれる構造を有している。 【0003】すなわち、半導体装置20は、ウェハ(半 導体基板) 1の表面 (回路面) 側にアルミ電極等からな る複数の接続パッド2を有し、この接続パッド2の上面 側には各接続パッド2の中央部を露出するように、酸化 シリコンあるいは窒化シリコン等からなるパッシベーシ ョン (絶縁膜) 3が形成される。 9

[0004] パッシベーション3の上面側には、各接税 パッド2の中央部分が開口するよう保護膜4が形成され ミド系樹脂材を塗布硬化させた後に、エッチング液を用 するポスト (柱状電極) 6とを電気的に接続する導体層 5が形成される。導体層5上の所定箇所には、柱状電極 して形成される保護膜4上には、各接続パッド2と後述 る。保護膜4は例えばウェハ1の回路面側全面にポリイ いてレジストパターンニングおよび保護膜パターニング を拖してからレジスト巡羅することで形成される。こう である複数のポスト6が設けられる。

[0005] ポスト6を覆うように、ウェハ1の回路面 モールドして封止膜7が形成される。封止膜7の上端面 は切削研磨され、これにより露出するポスト6の始面6 a については、その表面の酸化膜を取り除き、そこにハ 全体をポリイミドあるいはエポキン等の樹脂材によって ンダ印刷等のメタライズ処理(図示せず)が施される。 [0000]

付けする形態となっており、チップ内部に搭載できない しようとすると、受動素子から形成されるフィルタ回路 【発明が解決しようとする課題】ところで、上述したウ ェハレベルCSP構造の半導体装置20によってBIu e t o o t hモジュールやG P S受信モジュールを具現 やアンテナ素子はディスクリート部品としてチップに外 という問題があった。このため、上記モジュールの更な る小型化を図ることが困難であった。更には、上記のよ うな高周波を用いる回路モジュールにおいては部品間の 配線長が周波数特性に影響するため、周波数特性を更に 向上させることが困難であった。

前記半導体装置が前記複数の柱状電極を介して前記配線

基板の所定の配線パターンに、接続手段により接続され

[0007] 本発明は、このような事情に鑑みてなされ 算体装置の製造方法およびその半導体装置に適する実装 たもので、受動素子から形成されるフィルタ回路やアン テナ菜子をチップ内部に搭載し得る半導体装置および半 青造を提供することを目的としている。

め、請求項1に記載の発明では、半導体基板上に複数の 【規関を解決するための手段】上記目的を達成するた

接続パッドが設けられ、柱状電極が接続されて形成され

S

される、前記複数の接続パッドの内の、少なくとも一つ ドと、少なくとも一つの第1の導体層が接続されて形成 の第2の接続パッドと、前記半導体基板上の、前記複数 の柱状電極間および前配第1の導体層上に形成される封 **止膜と、前記封止膜上に形成され、前記第1の導体層に** 対向するよう配置される少なくとも一つの第2の導体層 る前記複数の接続パッドの内の、複数の第1の接続パッ

とを有し、前記第1の導体層と前記第2の導体層によっ

て形成される受動素子を備えることを特徴とする。

[0009] 静永頃2に記載の発明では、静水頃1に記 載の発明において、前記第2の接続パッドに接続される 前記第1の導体層上に形成されて前記第2の導体層に接 焼される第1の柱状電極と、前記複数の接続パッドの内 記第2の後続パッドは接地パッドであり、前記第3の接 級パッドは給電パッドであり、前記第1の導体層と前記 の、少なくとも一つの第3の接続パッドに接続されて前 記第2の導体層に接続される第2の柱状電極を備え、前 第2の導体層によって形成される前記受動素子はアンテ ナ素子であることを特徴とする。

**層上に配線基板に接続する接続構造を形成する工程とを** 

備えることを特徴とする。

[0010] 請求項3に記載の発明では、請求項1に記 截の発明において、前記第1の導体層と前記第2の導体 前記第2の導体層上には配線基板に接続される接続手段 **層によって形成される前記受動素子は容量素子であり、** を備えることを特徴とする。

33 [0011] 請求項4に記載の発明では、請求項3に記 載の発明において、前記第1の導体層と前記第2の導体 る誘導素子を備える第3の導体層を備え、前記複数の容 **位素子と前記誘導素子とによって形成されるフィルタ回 層によって形成される前記容量素子を複数備えるととも** に、少なくとも二つの前記容量素子間に接続して介装さ れ、インダクタ成分を誘起するようパターニングしてな 路を備えることを特徴とする。

[0012] 請求項5に記載の発明では、請求項1乃至 請求項4に記載の発明において、前配第1の導体層と前 記第2の導体層との間に誘電体材料を介装することを特 徴とする。

において、前記複数の接続パッドの内の、複数の第1の [0013] 請求項6に記載の発明では、半導体基板上 に複数の接続パッドが設けられた半導体装置の製造方法 と、前記複数の接続パッドの内の、少なくとも一つの第 2の接機パッドに少なくとも一つの第1の導体層を接続 して形成する工程と、前記半導体基板上の、前記複数の るよう配置される少なくとも一つの第2の導体層を形成 する工程とを備え、前記第1の導体層と前記第2の導体 住状電極間および前記第1の導体層上に封止膜を形成す る工程と、前記封止膜上に、前記第1の導体層に対向す 接続パッドに複数の柱状電極を接続して形成する工程 層によって受動素子を形成することを特徴とする。

22 載の発明において、前記第2の接続パッドに接続される [0014] 請求項7に記載の発明では、請求項6に記

体層によってアンテナ素子が形成されることを特徴とす

3

前記第1の導体層上に、前記第2の導体層に接続される **れて前記第2の導体圏に接続される第2の柱状電極を形 表する工程とを備え、前記第2の接続パッドは接地パッ** により形成され、前記第1の導体超と前記第2の導体層 [0015] 請求項8に記載の発明では、請求項6に記 載の発明において、前記第1の導体層と前記第2の導体 習によって容量素子を形成する工程と、前記第2の導体 第1の柱状電極を形成する工程と、前記複数の接続パッ ドの内の、少なくとも一つの第3の接続パッドに接続さ ドにより形成され、前記第3の接続パッドは給電パッド によってアンテナ素子が形成されることを特徴とする。

[0016] 請求項9に記載の発明では、請求項8に記 散の発明において、前記第1の導体層と前記第2の導体 クタ成分を誘起するようパターニングして誘導菜子を形 の容量素子と前記誘導素子とによってフィルタ回路を形 とも二つの前記容量素子聞に接続して介装され、インダ 成する第3の導体層を形成する工程とを備え、前記複数 層によって前記容量素子を複数形成する工程と、少なく 成することを特徴とする。

[0017] 請求項10に記載の発明では、請求項6乃 至請水項 9 に記載の発明において、前記第1の導体層と 前記第2の導体層との間に務電体材料を介装する工程を 備えることを特徴とする。

を製造する方法であって、複数の接続パッドを有するチ 記複数の接続パッドの内の、少なくとも一つの第2の接 数の柱状電極間および前記第1の導体層上に封止膜を形 [0018] 請求項11に記載の発明では、半導体装置 ップ形成領域を複数備える半導体ウェハ基板を準備する 工程と、前記各チップ形成領域上に絶縁膜を形成する工 程と、前記複数の接続パッドの内の、複数の第1の接続 パッドに複数の柱状電極を接続して形成する工程と、前 続パッドに少なくとも一つの第1の導体層を接続して前 記絶縁膜上に形成する工程と、前記絶縁膜上の、前記複 成する工程と、前記封止膜上に、前記第1の導体層に対 向するよう配置される少なくとも一つの第2の導体層を 形成する工程と、前記半導体ウェハ基板を前記チップ形 成領域毎に分断して複数の半導体装置を形成する工程と

[0019] 請求項12に記載の発明では、請求項11 て、前記第1の導体層上に、前記第2の導体層に接続さ 税されて前記第2の導体層に接続される第2の柱状電極 を形成する工程とを備え、前記第2の接続パッドは接地 れる第1の柱状電極を形成する工程と、前記複数の接続 パッドの内の、少なくとも一つの第3の接続パッドに接 パッドにより形成され、前記第3の接続パッドは給配パ ッドにより形成され、前記第1の導体層と前記第2の導 に記載の発明において、半導体装置の製造方法におい を貝偏することを特徴とする。 40

に記載の発明において、前記第1の導体層と前記第2の 体層上に、配線基板に接続する接続構造を形成する工程 [0020] 請求項13に記載の発明では、請求項11 導体層によって容量素子を形成する工程と、該第2の導 とを備えることを特徴とする。

なくとも二つの前記容量素子間に接続して介装され、イ [0021] 請求項14に記載の発明では、請求項13 に記載の発明において、前記第1の導体層と前記第2の ンダクタ成分を誘起するようパターニングして誘導案子 を形成する第3の導体圏を形成する工程とを備え、前記 複数の容量素子と前記誘導業子とによってフィルタ回路 導体層によって前記容量素子を複数形成する工程と、少 を形成することを特徴とする。

乃至諸求項14に記載の発明において、前記第1の導体 **層と前記第2の導体層との間に誘電体材料を介装する工** [0022] 請求項15に記載の発明では、請求項11 程を備えることを特徴とする。

8 の実装構造において、半導体基板上に複数の接続パッド [0023] 請求項16に記載の発明では、半導体装置 が設けられ、柱状電極が接続されて形成される前記複数 1の導体層上に形成される封止膜と、抜封止膜上に形成 導体層とを有して、前記第1の導体層と前記第2の導体 え、前記半導体装置が前記複数の柱状電極を介して前記 配線基板の所定の配線パターンに、接続手段により接続 の接続パッドの内の、複数の第1の接続パッドと、少な くとも一つの第1の導体層に接続される前記複数の接続 前記半導体基板上の前記複数の柱状電極間および前記第 され前記第1の導体層に対向するよう配置される第2の **園によって形成されるアンテナ素子を備える半導体装置** されて実装される半導体装置の実装構造において、前記 との対向領域には、配線パターンが形成されていないこ パッドの内の、少なくとも一つの第2の接続パッドと、 配線基板における、前記半導体装置の前記第2の導電局 と、複数の配線パターンが形成された配線基板とを備 とを特徴とする。

導体装置の前記第2の導電層との前記対向領域は関ロ部 [0024] 請求項17に記載の発明では、請求項16 に記載の発明において、前記配線基板における、前記半 とされていることを特徴とする。

<del>\$</del>

る。これらにより、当数チップを用いて構成したモジュ の導体層と、封止膜上に形成され、当該第1の導体層に 対向するよう配置される第2の導体圏とによってアンテ 内部にアンテナ素子や容量素子等の受動素子を搭載する ことができる。また、本発明では、二つの上記容量素子 明に介装され、誘導素子を形成するようパターニングさ ナ菜子や容盘菜子等の受動菜子を形成するので、チップ れた第3の導体層を備えて、容量素子と誘導素子でフィ [0025] 本発明では、接続パッドに接続される第1 ルタ回路を形成し、チップ内部に搭載することもでき

は、チップにアンテナが搭載された場合、チップが搭載 ーンが形成されない領域、あるいは開口部、とすること **ールの寸法を小型化することができる。また、本発明で** される配線基板のアンテナに対向する部分を、配線パタ によりアンテナの放射効率を損なうことを抑制すること ができる。

[0026]

「発明の実粒の形態」以下、図面を参照して本発明の実 箱の形態にしてれ説明する。

## (1)第1の実施形態

院パッド) に接続して形成された導体層5-1 (第1の されるポスト6B (第2の柱状徴極) とを備え、接地パ した従来例と相違する点は、接地パッド2A(第2の接 の接続パッド)に接続して形成され上部導体圏8に接続 0の構造を示す断面図および平面図である。 これらの図 において前述した従来例(図15参照)と共通する部分 **導体層)によるグランドプレーンG P と、封止膜 7 上に** 形成された上部導体層8 (第2の導体層)と、接地パッ ド2Aに接続して形成され上部導体層8に接続されるポ スト6A (第1の柱状電極) と、給電パッド2B (第3 ッド2Aに接続される導体層5-1と、接地パッド2A 図1および図2は、第1の実施形態による半導体装置2 および図2に図示する半導体装置20が、図15に図示 および給電パッド2Bに接続される上部導体層8は図2 こは同一の番号を付し、その説明を適宜省略する。図1 に示すように封止膜フを介して対向する位置に設けら と同じである。

れ、これらによって逆F型アンテナを形成したことにあ り、接続パッド2(第1の接続パッド)上に形成される 導体層5およびポスト6の構成は図15に示した従来例

の実施形態による製造工程では、先ず図3に図示する通 【0021】次に、図3~図1を参照して、上記構造に り、ウェハ1の回路面側に設けられたアルミ電極等から なる複数の接続パッド2(接地パッド2Aおよび給電パ ッド2日を含む)の上面側に、それぞれ各接続パッド2 の中央部を貸出するように、酸化シリコンあるいは窒化 このパッンベーション3の上面側に各接続パッド2の中 よる半導体装置20の製造工程について説明する。第1 シリコン等からなるパッシベーション3を形成した後

スピンコートする手法の他、スキージを用いる印刷法や らず、エポキシ系樹脂材やPBO(ベンザオキシドール 【0028】この保護膜4は、例えばウェハ1の回路面 **到全面にポリイミド系樹脂材を強布硬化させた後に、エ** ッチング液を用いてレジストパターンニングおよび保護 **模パターニングを施してからレジスト剥離することで形 成される。保護膜4は、ポリイミド系樹脂材を強布して** ノズルからのインク吐出による強布法を用いることが可 節であり、保護膜材料としてもポリイミド系樹脂材に限 央部分が開口するよう保護膜4を形成する。

口された部分に電解メッキを施すことで形成される。な [0029] 次に、図4に図示するように、保護膜4に 形成された開口部を介して韓出される接続パッド2およ 形成する。導体層 5 および導体圏 5 一1 は、保護膜 4 の したパターニングを施した後、このレジストによって開 お、導体層5および導体層5-1を形成する手法として 導電特性を備える鰯、アルミおよび金あるいはこれらの び給電パッド2B上に導体層5を形成し、接地パッド2 A上にグランドプレーンG Pに対応する導体圏 5 - 1 を を堆積し、この後、フォトレジストを塗布硬化させ、フ オトリングラフィ技術により所定形状の隅口部分に対応 る。また、これら導体層に用いる材料としては、良好な 全面にUBMスパック処理等によりUBM層(図示略) は、これ以外に無電解メッキ方法を用いることもでき

ಜ には、図5に図示するように、その導体履5および導体 度の厚さでポスト形成用のフォトレジストを強布硬化さ せた上、各導体層 5 および導体層 5 一 1 の所定箇所を露 出する関ロ部を形成し、この関ロ部内に電解メッキを施 用いることもできる。ポストに用いる材料は、良好な導 **電特性を備える鰯、ハンダ、金あるいはニッケル等を用** を形成する場合には、上記の他に印刷法を用いることも 【0030】導体履5および導体图5-1を形成した後 图5−1上の所定箇所にポスト6およびポスト6A、6 Bを設ける。各ポストは、例えば100~150μm程 は、これ以外に無電解メッキ方法やスタッドパンプ法を いる。なお、ポスト形成材料としてはんだを用いる場合 は、この後リフロー処理を施すことにより球状の電極を 形成することも出来る。また、はんだを用いてポスト6 すことで形成される。各ポストを形成する手法として

[0031] こうして、図5に図示した構造が形成され る。封止膜7は、環境変化に対応する信頼性を確保する 同一な樹脂材とする。なお、封止膜7を形成する手法と しては、上記モールド法の他に、印刷法、浸漬法、スピ に、ウェハ1の回路面全体をポリイミドあるいはエポキ 上で、好ましくは上述した保護膜4と主成分が実質的に た後は、図6に図示するように、各ポストを覆うよう **シ等の樹脂材によってモールドして封止膜7を形成す** ンコート法、ダイコート法を用いることもできる。

[0032] ポスト6の樹脂封止後には、図7に示すよ うに、封止膜7の上端面を切削研磨してポスト6の端面 **地パッド2Aに対応するポスト6Bおよび給電パッド2** Bに対応するポスト6Aおよび6B上に飼箔をハンダ印 Bにそれぞれ対応するポスト6Aおよび6B上に、上部 即等でラミネートして上部導体層8を形成する。もしく は電導性接着剤にて接地パッド2Aおよび給電パッド2 6 a を露出させてその表面の酸化膜を取り除いた後、 導体層8となる導体板を固着する。

S [0033] 女に、図8に図示するように、必要に応じ

系)等を用いてもよい。

S

9

**栋照2002-314028.** 

造、すなわち、導体圏5-1から形成されるグランドプ それぞれ対応するポスト6Aおよび6B上に電気的に接 て、上部導体圏8が形成されていないポスト6にハンダ ボールBを配置して端子形成した後、予め定められたカ ットラインCLに沿ってダイシングを施してウェハ1を レーンG P と、接地パッド2 A および給電パッド2 B に 焼される上部導体層8とから構成される逆F型アンテナ チップに個片化する。これにより、図1に図示した構 を搭載した半導体装置20が生成される。

ゲボールBを介して配線基板30上に形成された所定の 配線パターン31に接続されて実装される。これによっ **基板30の上部導体圏8と対向する領域32には配線パ** 【0034】次いで、こうした構造の半導体装置20を 所定の配線パターンが形成された配線基板に実装する場 合の好適な実装構造を図りおよび図10に示す。図9に 図示する態様では、質体40内部に配換基板30が配置 され、半導体装置20は、ポスト6上に形成されたハン て、半導体装置20のアンテナとなる上部導体層8が配 **線基板30に対向する向きで実装される。ここで、配線** ターンを形成しないようにする。

では、配線基板30の上部導体層8と対向する領域32 [0035] これにより、上部導体圏8から放射される 電波の放射効率が配線基板30上の配線パターンの存在 こよって低下したり、放射パターンが乱れたりすること を抑制することができる。更に、図10に図示する態様 を開口部としている。これにより、上部導体圏8から放 付される電波を妨げる部材が殆ど無くなり、電波の放射 効率の低下を最小限にすることができる。

ッド2Aおよび給電パッド2Bにそれぞれ接続されるポ ることが可能になり、当該チップを用いて構成したアン 5。また、チップ内部にアンテナを搭載することでチッ とができるため、給電損失を最小化し得る等、伝送線路 導体閥 2 - 1 をグランドプレーンG P とし、かつ接地バ スト6Aおよび6B上に上部導体層8を設けて逆F型ア ンテナを形成したので、チップ内部にアンテナを搭載す テナを備えるモジュールの寸法を小型化することができ プ上の回路からアンテナへの配線長を非常に短くするこ [0036]以上のように、第1の実施形態によれば、 特性の向上にも寄与する。

[0031] なお、本実施形態では、逆F型アンテナを ば逆し型アンテナ、パッチアンテナあるいはマイクロス トリップアンテナを形成することも勿論可能である。ま イズドアレイアンテナを構成し、所望の指向特性を得る 搭載する一例について盲及したが、これに限らず、例え た、一つのチップに複数のアンテナ茶子を配列してフェ

40

[0038] さらに、上述した実態形態では、グランド プレーンGPと上部導体層8との関には対止膜7が介在 ことも可能である。

に、グランドプレーンGPと上部導体層8との間に高数 する構造であるが、これに替えて、図11に示すよう

る。また、アンテナ素子の共振周改数を一定値とした場 (導体暦5-1) に接着剤で固着した後、前述した封止 工程を経て上部導体層8を敷設することになる。このよ ンテナ素子の電気長を調整することが可能となる。つま **題体材11を組込む構造としてもよい。その場合、ポス** 例えばチタン酸パリウム等の高誘電体材を組込むと、ア り、上部導体層8のパターンサイズを変えることなくア 高誘電体材を組込むと、グランドプレーンGPおよ ト6を形成後、誘電体材11をグランドプレーンGP うに、グランドブレーンGPと上部導体層8との間に、 ンテナ素子の共振周波数を変化させることが可能にな び上部導体層8の面積を小さくすることができる。 [0039] (2) 第2の実施形態

税パッド) に接続して形成された導体層 5-2 (第1の 図12 (イ)、図12 (ロ) および図13は、第2の実 る。これらの図において前述した第1の実施形態と共通 導体層)と、封止膜上に形成された上部導体層12 (第 (イ) に示すように、所定の接続パッド2C (第2の接 する部分には同一の番号を付し、その説明を適宜省略す 2の導体層)と、を備え、導体層5-2と上部導体層1 2は図12(イ)に示すように封止膜7を介して対向す **陶形態による半導体装置20の構造を示す断面図であ** る。第2の実施形態による半導体装置20は、図12 る位置に設けられている。

ຂ [0040] そして、この上部導体層12上にはハンダ これによって、回路基板30上のパッド33とチップ内 (ハ) に示すような回路を構成することができる。こ こで、20aは、図12 (イ) に示すように、半導体装 置20の予め半導体基板1上に形成されている回路部分 に形成できるため、当該チップを用いて構成した容量素 これによって、上部導体圏12と封止膜7と導体圏5-の導体層 5-2の間に容量素子Cpを備え、例えば図1 であり、これに上記容量素子Cpが接続された構成とす ることができる。このように容量素子をチップと一体的 印刷等のメタライズ処理が施されてハンダ層B' が形成 され、図12 (ロ)に示すように、ハンダ層B'を介し て回路基板30に形成されたパッド33に接続される。 2とにより容量素子Cpを形成することを特徴とする。 子を備えるモジュールの寸法を小型化することができ

S タンタル等の高級電体材が用いられる。このような高級 [0041] さらに、上述した実施形態では、上部導体 ような構造による容量素子は、上部導体圏12と導体圏 **局12と導体層5-2との間には封止膜7が介在して容 位案子を形成しているが、図13に示すように、上部導** 5-2との間に介装される誘電体图13の比誘電車、厚 さおよび面積でその容量が決り、誘電体層13を形成す る路町体としては、例えばチタン酸パリウム、チタン酸 み、容量素子Cp'を形成するようにしてもよい。この 体閥12と導体圏5-2との間に誘電体層13を組込

38体材を組込むと、上部導体層12および導体層5-2 と、容昼値を一定値とした場合、各導体層の面積を小さ の面積を変えずに容量値を大きくすることができ、ま くすることができる。

[0042] 次いで、上述した第2の実施形態の変形例 を図14(イ), (ロ)に示す。すなわち、図14

は封止膜7を除いた状態の1-1面での半導体装置20 介して回路基板30に形成されたパッド35に各々接続 の平面図を示す。本実臨形態では、図14(イ)に図示 体圏)が接続して形成される接続パッド2D (第2の接 れた上部導体圏12-1、12-2 (第2の導体圏)を 本層12−2と導体層10の間、に上述した容量素子C pと同様の構造を有する二つの容量素子C1、C2が形 するように、導体圈5-3および導体圏10(第1の導 [0043] また、柱状電極6上にはハンダボールBが 形成され、上部導体層12-1、12-2上にはハンダ され、柱状電極6はハンダボールBを介して回路基板3 上部導体層12-1と導体層5-3の間、および上部導 導体層5-3および導体層10に対応する位置に形成さ (イ) はこの実施形態での断面図を示し、図14(ロ) 碗パッド)を備えるとともに、封止膜7上に形成され、 印刷等のメタライズ処理が施されてハンダ個B'が形成 され、上部導体層12-1、12-2はハンダ層B'を 備え、また、導体層10には柱状電極6が形成される。 0に形成されたパッド36に接続される。これにより

[0044] さらに、導体图10は、図14 (ロ) に図 示するように、角渦巻き状にパターニングされ、それに より誘導素子しを形成する構成を備えている。これら容 図14 (ハ) に示す回路、すなわち半導体基板1上に形 **哎されている回路部分20aにェ型ローパスフィルタが 受動業子から形成されるフィルタ回路をチップ内部に格** た、フィルタ回路を備えるモジュールの寸法を小型化す 接続された回路を構成することができる。このように、 散することが出来るため、当該チップを用いて構成し ることができる。

[0045]

比膜上に形成され、当核第1の導体層に対向するよう配 の導体層とによって受動業子を形成するので、チップ内 置される第2の導体層が第1の導体層上に設けられた第 接続される給電パッドとを備え、第1の導体層と第2の 【発明の効果】錆水項1,6に記載の発明によれば、接 続パッドに接続される第1の導体層と、封止膜上に形成 され、当該第1の導体層に対向するよう配置される第2 **部に受動業子を搭載することができるので、モジュール** の小型化を図ることができる。請求項2,7に記載の発 別によれば、第1の導体層が接地パッドに接続され、封 1の柱状電極を介して第1の導体層と接続されるととも に、この第2の導体層と接続する第2の柱状電極を経て 40

導体層とからアンテナ素子を形成するので、チップ内部 体層と、封止膜上に形成されて当該第1の導体層に対向 するよう配置され、配線基板に接続される接続手段を備 アンテナ素子を用いるモジュールの小型化を図ることが できる。請求項3,8に記載の発明によれば、第1の導 にアンテナ素子を搭載することができる。これにより、 える第2の導体層と、によって容量素子を形成するの

ことができる。請求項4,9に記載の発明によれば、第 1の導体層と、この第1の導体層に対向するよう配置さ れる第2の導体層とによって形成される容量素子を複数 備えるとともに、二つの前記容量素子間に接続して介装 形成される誘導案子を備える第3の導体層を備え、前記 で、チップ内部に容量素子を搭載することができる。こ れにより、容量素子を用いるモジュールの小型化を図る 複数の容量素子と前記誘導素子とによってフィルタ回路 され、インダクタ成分を務起するようパターニングして

ば、第1の導体圏と、この第1の導体圏に対向するよう ることができる。請求項5,10に記載の発明によれ

とができる。これにより、モジュールの小型化を更に図

を形成するのでチップ内部にフィルタ回路を搭載するこ

配置される第2の導体層との間に誘電体材料を介装する ので、アンテナ素子の電気長、あるいは容量素子の容量 値、を調整することができる。これにより、アンテナ茶 子や容量素子の面積を小さくすることができ、これらを 用いるモジュールを更に小型化することができる。請求 頃11~15に記載の発明によれば、複数の接続パッド 上の各チップ形成領域に、少なくとも一つの接続パッド を有するチップ形成領域を複数備える半導体ウェハ甚板

**装第1の導体層に対向するよう配置される第2の導体層** ることができる。請求項16,17に記載の発明によれ ば、接続パッドに接続される第1の専体層と、封止膜上 とを形成して、アンテナ素子や容量素子等の受動業子を 形成した後、前記半導体ウェハ基板をチップ形成領域毎 に形成され、当該第1の導体層に対向するよう配置され **る第2の導体層とを備えてチップ内部にアンテナ案子を** に分断して複数の半導体装置を形成するするようにした ので、各チップ形成領域上に受動素子をまとめて形成す

40 する状態に実装する場合に、アンテナ業子に対向する配 搭載する半導体装置を、アンテナ素子が配線基板に対向 **模基板の領域を、配線パターンが形成されない領域、あ** るいは開口部とするようにしたので、アンテナの放射効 率の低下を抑制することができ、チップ内部に搭載した アンテナ素子を良好に機能させることができる。

[図1] 第1の実施形態による半導体装置20の構造を ボナ節画図である。

[図画の簡単な説明]

8

[図2] 第1の実施形態による半導体装置20の構造を

[図3] 第1の実施形態による半導体装置の製造工程を 【図4】図3に続く半導体装置の製造工程を説明する為 党明する為の断面図である。

【図5】図4に続く半導体装置の製造工程を説明する為 り断画図である。 り断画図である。

【図6】図5に続く半導体装置の製造工程を説明する為 の断面図である。

【図7】図6に続く半導体装置の製造工程を説明する為

【図8】図7に続く半導体装置の製造工程を説明する為 の断面図である。

の断面図であり、倒片化された半導体装置20の完成状 [図9] 筐体内の配線基板に半導体装置20を実装した 笛を示すものである。

[図10] 筐体内の配線基板に半導体装置20を実装し **長装構造の一例を示す図である。** 

た実装構造の他の例を示す図である。

【図11】グランドプレーンGPと上部導体層8との間 に高誘電体材11を組込んだ半導体装置20の構造を示 **ず断面図である。** 20

[図12] 第2の実施形態による半導体装置20の構造 ドボす断面図である。

【図13】第2の実施形態による半導体装置20の構造 を示す断面図である。

【図14】 π型ローパスフィルタを具備する半導体装置

【図15】従来例による半導体装置20の構造を示す断 20の構造を示す図である。 面図である。

に接続される第1の導体層と、封止膜上に形成され、当

[符号の説明]

| ウェハ (半導体基板)

2 接続パッド

2A 接地パッド

2B 給電パッド

3 シッツベーション 保護膜

5-1 グランドプレーンGP 5-2、5-3 導体層

6 ポスト (柱状電極)

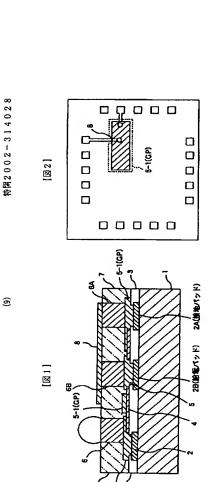
13 %包体图

8、12,12-1,12-2 上部導体層

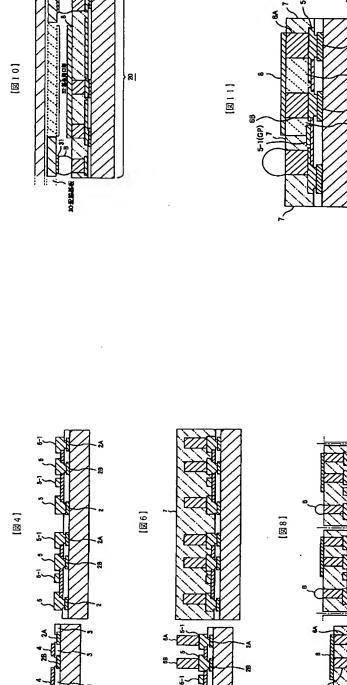
C1, C2 容配素子

[6|||

뭐



[図3]



[图2]

[887]